

**МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ  
РОССИЙСКОЙ ФЕДЕРАЦИИ**

**Московский государственный институт электроники и математики  
(Технический университет)**

**Кафедра «Электроника и электротехника»**

**ПРОЕКТИРОВАНИЕ ЛОГИЧЕСКОЙ СХЕМЫ  
НА ОСНОВЕ БМК «МЕЛИССА»**

**Методические указания к выполнению курсового проекта  
по курсу «Электрические цепи и микросхемотехника»**

**[ <http://lsamb.narod.ru/students/kurs2.html> ]**

**v2.98 от 17 января 2007 г.**

**Москва 2006 г.**

Составители: аспирант Л. М. Самбурский  
аспирант Р. А. Торговников

УДК

Проектирование логической схемы на основе БМК «Мелисса»: Метод. указания к вып. курсового проекта по курсу «Электрические цепи и микросхемотехника» / Моск. гос. ин-т электроники и математики; Составители Л. М. Самбурский, Р. А. Торговников. – М. 2006 – 11 с.

Ил. 4

Даны краткие сведения о структуре и организации БМК «Мелисса». Приведены практические рекомендации по логическому и топологическому проектированию, схемотехническому моделированию.

Для студентов 3 и 4 курсов факультетов, изучающих схемотехническое проектирование аналоговых и цифровых узлов и устройств ЭВМ.

ISBN

## ЦЕЛЬ РАБОТЫ

Целью курсового проекта является изучение принципов и приобретение практических навыков логического проектирования полужаказной интегральной схемы с использованием базового матричного кристалла (БМК). Кроме того, студенты получают представление о средах схемотехнического и топологического проектирования.

## СОДЕРЖАНИЕ

Цель работы .....	3
Содержание .....	3
1. Введение .....	3
2. Задание на курсовой проект .....	4
Анализ схемы и подготовка рабочего файла для Spice .....	4
Моделирование схемы .....	4
Разведение на кристалле .....	5
3. Цифровой радиационно-стойкий БМК «Мелисса-1» .....	6
Описание кристалла .....	6
Содержание файла с моделями транзисторов .....	7
4. Представление отчёта .....	7
5. Краткие сведения о программе Spice .....	8
Запуск программы (версия PSPICE для DOS) .....	8
Запуск программы (версия OrCAD для Windows) .....	8
6. Пример проектирования схемы .....	9

## 1. ВВЕДЕНИЕ

Базовым матричным кристаллом называется часть полупроводниковой пластины с регулярным расположением сформированных в нём элементов соединённых и (или) несоединённых между собой, используемая для создания интегральных микросхем путем установления металлических межэлементных соединений.

Базовые матричные кристаллы (БМК) являются универсальными кристаллами-заготовками, расположенными на полупроводниковой пластине. Такие кристаллы называют базовыми, поскольку все фотошаблоны, за исключением слоев коммутации, для их изготовления являются постоянными и не зависят от реализуемой схемы. Простейшие элементы располагаются на кристалле в узлах прямоугольной матрицы, поэтому его называют матричным. Изготовление конкретной БИС на БМК осуществляется путем коммутации его элементов с помощью однослойной или многослойной разводки.

В результате проведения данной работы студенты получают опыт моделирования, размещения и разводки топологических элементов в пределах БМК. Выполняется графическое (предпочтительно) или текстовое иерархическое описание заданной схемы, которое затем моделируется с

учётом технологической информации. После устранения ошибок и настройки схемы выполняется иерархическая разводка.

## **2. ЗАДАНИЕ НА КУРСОВОЙ ПРОЕКТ**

Эти и другие материалы к курсовому проекту можно взять на интернет-сайте этого проекта [ <http://lsamb.narod.ru/students/kurs1.html> ].

Данную работу рекомендуется выполнять с помощью специализированных САПР: моделирование в программах типа Spice (P-Spice, OrCAD, Tanner T-Spice и т. п.), разводку в топологическом редакторе (Tanner L-Edit, IC Studio и т. п.).

Варианты задания включают в себя различные цифровые фрагменты общего характера: счётчики, де-/мультиплексоры, де-/шифраторы, распределительные блоки и т. п.

От преподавателя нужно получить электрическую схему. Кроме того, должны быть выданы электронная версия методических указаний, файл MOD с моделями активных элементов кристалла, файл GDS/TDB с топологией кристалла, описание всего кристалла и его базовой ячейки (включая список технологических слоёв).

### ***Анализ схемы и подготовка рабочего файла для Spice***

Полученную электрическую схему устройства следует проанализировать, определить её структуру и принципы работы. Далее в графическом схемном редакторе следует сформировать электрическую схему и подключить файл с моделями активных элементов.

Сформированная схема в обязательном порядке должна иметь иерархическую структуру, где на нижнем уровне находятся стандартные логические ячейки (вентили), а блоки более высоких уровней складываются на основе структурной схемы. В частности, в отдельный блок может быть выделен повторяющийся фрагмент.

При вводе схемы в программу следует быть очень внимательным: случаи некорректной работы схемы часто связаны именно с неправильным кодированием.

### ***Моделирование схемы***

Следующий этап – моделирование схемы в программе. Требуется разобраться в принципе работы и режимах работы схемы и продемонстрировать её работоспособность. В большинстве случаев таблица истинности схемы задана, однако следует понять правило её формирования, особенно это касается последовательностных схем. Следует также подготовить минимальный набор входных тестовых сигналов, демонстрирующих работоспособность схемы.

Все варианты задания предлагают для реализации иерархические схемы. Соответственно, и подготовленные фрагменты должны быть организованы иерархически.

Частота импульсных входных сигналов должна быть достаточно высокой: длина импульса не должна превышать троекратного времени задержки переключения схемы, а фронт импульса не должен превышать половины времени задержки переключения схемы.

Выходные графики должны проверять работу схемы во всех возможных режимах (или переходы между некоторыми из них в случае де-/шифратора или де-/мультиплексора).

Работоспособность схемы необходимо продемонстрировать преподавателю **на компьютере**.

### ***Разведение на кристалле***

Создание рисунка разводки для цифровой схемы в общем случае более простая задача, чем для аналоговой, однако, тем не менее, она не является тривиальной. Иерархическая структура электрической схемы обычно однозначно переводится в иерархическую структуру топологии. Соответственно, вначале создаётся рисунок разводки для элементов нижнего уровня, затем для более высоких уровней (стиль проектирования «снизу вверх», в отличие от стиля «сверху вниз», когда сначала располагаются блоки высших уровней, а затем в их пределы вмещаются блоки и ячейки низших уровней). Процесс внедрения блока более низкого уровня внутрь блока более высокого уровня называется включением. При этом в блок более высокого уровня помещается не копия блока более низкого уровня, а ссылка на него. Это означает, что при редактировании блока более низкого уровня обновляются все его ссылки.

Критическим параметром для разводки является минимальный размер, т. е. ширина и расстояние между соединительными линиями, а также расстояние между соединительными линиями и активными областями структуры кристалла. Для данного проекта минимальный размер – 5 мкм.

В тех местах, где соединительная линия должна перейти на другой слой, вставляется проходная ячейка. Такая ячейка содержит инструкции для технологического оборудования по прожиганию отверстия в защитном покрытии микросхемы, чтобы непосредственно соединить объекты в двух различных слоях (например, 1-м и 2-м металлах). Проходная ячейка может быть квадратной или Г-образной формы. Правила норм проектирования к проходным ячейкам также применимы (в частности, минимальное расстояние между ячейкой и проходящими в тех же слоях линиями, между ячейкой и активными областями кристалла).

Проходные ячейки в данном проекте необходимо использовать в следующих случаях: при связывании объектов в слоях металла и поликремния, при подключении соединительной линии к диффузионной области.

Окончательная разводка отдельных блоков должна содержать только металлические линии и проходные ячейки. Не рекомендуется проводить разводку непосредственно на кристалле; следует создавать отдельные топологические ячейки на фоне отдельно взятых фрагментов матрицы, а затем результирующий рисунок из металлических линий и проходных ячеек «включать» в ячейку более высокого уровня в виде ссылки.

### 3. ЦИФРОВОЙ РАДИАЦИОННО-СТОЙКИЙ БМК «МЕЛИССА-1»

#### Описание кристалла

Цифровой базовый матричный кристалл (БМК) «Мелисса-1» производится по КМОП технологии со структурой приборов «кремний на сапфире» (КНС), что обеспечивает повышенную радиационную стойкость.

В центре кристалла находится матрица  $23 \times 100$  цифровых ячеек, каждая из которых содержит 4 транзистора, – и 64 буферные ячейки на периферии. Конструкция и топология базовой ячейки показана на рис. 1.

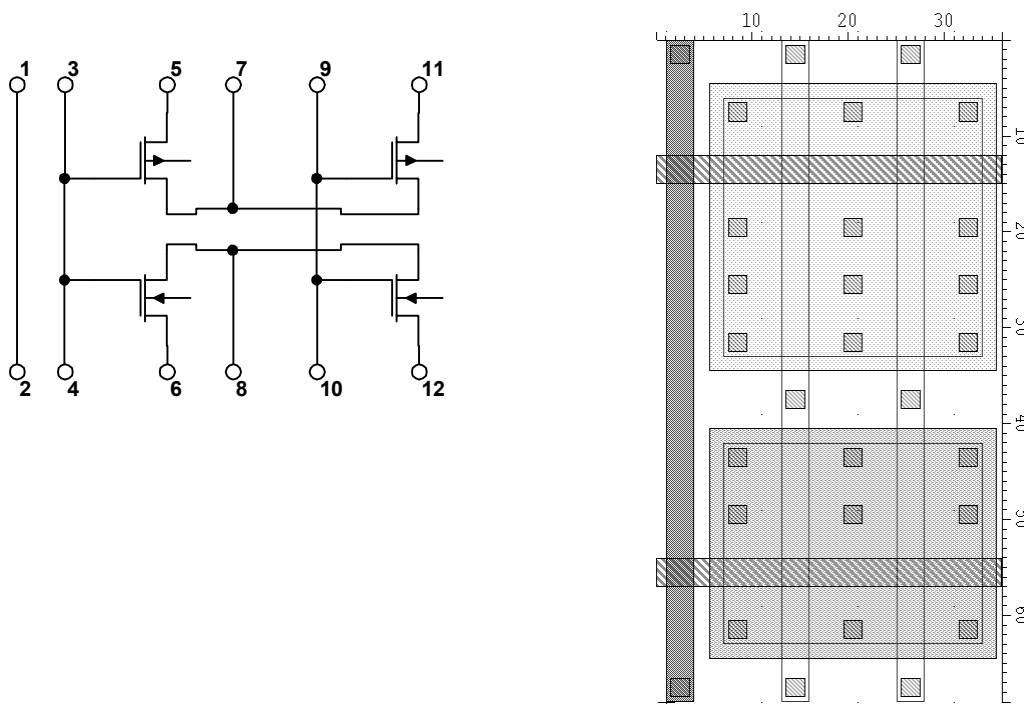


Рис. 1. Конструкция и топология базовой ячейки БМК

Ячейка состоит из двух р-МОП и двух n-МОП транзисторов, причём транзисторы одного типа находятся в единой диффузионной области, а пары транзисторов разного типа имеют общий затвор, образуя, таким образом, КМОП пары.

Цифровая матрица составлена из рядов ячеек, между которыми находятся каналы, используемые для разводки.

### **Содержание файла с моделями транзисторов**

```
*****
* .START Models for MELISSA array chip *
*****
* SOS N-channel

.MODEL NSOS1 nmos(level=3 L=4u W=33u vto=1.5 tox=4.8e-08 uo=650.2
+ theta=0.17 delta=.3105 nsub=1e+16
+ vmax=1.4664e+07 lambda=.2493 ld=4.9318e-07 wd=1e-07
+ kappa=3 eta=3.279 cbd=0.02p cbs=0.02p NFS=2e12)

* SOS p-channel

.MODEL PSOS1 pmos(level=3 L=3.5u W=40u vto=-1. tox=4.8e-08 uo=400.
+ theta=0.4 delta=.3105 nsub=1e+16
+ vmax=1.4664e+07 lambda=.2493 ld=4.9318e-07 wd=1e-07
+ kappa=3 eta=3.279 cbd=0.03p cbs=0.03p NFS=0.5e12)

* SOS N-channel

.MODEL NMOS nmos level=3 L=4u W=50u vto=0.84 tox=4.8e-08 uo=368.4
+ nsub=1e+16 theta=0.17 delta=.3105 lambda=.2493
+ vmax=1.4664e+07 ld=4.9318e-08 wd=1e-07
+ cbd=0.02p cbs=0.02p NFS=2e12)

* SOS p-channel

.MODEL PMOS pmos level=3 L=3.5u W=50u vto=-1.9 tox=4.8e-08 uo=285.7
+ nsub=1e+16 theta=0.4 delta=.3105 lambda=.2493
+ vmax=1.4664e+07 ld=4.9318e-08 wd=1e-07
+ cbd=0.03p cbs=0.03p NFS=0.5e12

*****
* .END Models for MELISSA array chip *
*****
```

## **4. ПРЕДСТАВЛЕНИЕ ОТЧЁТА**

На титульном листе нужно указать название исследуемой схемы.

Отчёт должен содержать следующие части:

- электрическая схема устройства, на которой подписаны номера элементов;
- описание принципов работы устройства;
- описание БМК и его элементов (см. часть 3);
- модель схемы для Spice + модели элементов (см. часть 2.3);
- графики, демонстрирующие работу схемы (см. часть 2.2);
- заполненный лист разводки (см. часть 6), на котором подписаны номера использованных приборов;

## 5. КРАТКИЕ СВЕДЕНИЯ О ПРОГРАММЕ SPICE

SPICE – программа моделирования электронных схем. В ней можно рассчитывать режимы схем по постоянному току, частотные, переходные и шумовые характеристики, анализировать влияние температуры. Используемые элементы схем: сопротивления, ёмкости, индуктивности, диоды, транзисторы различных типов, трансформаторы, независимые и управляемые источники напряжения и тока.

Различных программ типа SPICE много. Наиболее распространённые: PSPICE для DOS, OrCAD, T-Spice (Tanner).

Некоторые программы позволяют графический ввод схемы. В этом случае перевод графической информации в базовый текстовый формат производится внутренними средствами программы.

Информация для программы SPICE задаётся в виде текстового файла определённого формата. Файл содержит описание схемы и тип выполняемого анализа. Расширение входного файла в ОС Windows – .CIR или .SP. Выходная информация выводится, в простейшем случае, в два файла: первый содержит сообщения интерпретатора и значения рассчитываемых выходных переменных, имеет расширение .OUT; второй содержит данные для построения графиков, имеет расширение .DAT.

### ***Запуск программы (версия PSPICE для DOS)***

Запуск программы расчёта в комплексе PSPICE версия для DOS: нужно запустить файл PSPICE1.EXE. Программа запросит имя входного файла – ввести его, затем имя выходного файла – по умолчанию (нажатие клавиши ВВОД) имя сохранится таким же. После этого программа начнёт расчёт схемы. Если в процессе расчёта будут найдены ошибки, выдаётся звуковой сигнал через спикер и сообщение «Circuit has errors». В этом случае нужно обратиться к выходному файлу (\*.OUT), в нём символом «-----\$» указано место ошибки и её описание. Все ошибки нужно исправить. Если расчёт завершается успешно, выдаётся сообщение «Simulation completed successfully». В этом случае можно строить графики. Для запуска программы построения графиков (PROBE) нужно запускать файл PROBE.EXE. Чтобы добавить графики, нужно выбрать пункт меню Add\_Trace и ввести нужные выходные переменные через пробел. Чтобы выйти из программы PROBE, нужно выбрать пункт меню Exit.

### ***Запуск программы (версия OrCAD для Windows)***

Запуск программы расчета в комплексе OrCad 9.2 версия для Windows: нужно запустить программу PSpice в меню Пуск > ... > OrCad 9.2. Затем создать .cir файл со схемой или открыть заранее созданный файл и запустить расчёт (команда меню Simulation > Run или кнопка «Run Simulation» на левой вертикальной панели инструментов). После этого программа



начнет расчёт схемы. Если в процессе расчёта будут найдены ошибки, то программа прервёт работу и автоматически откроется выходной файл (.out), куда будет выведен текст программы и ошибочные места указаны символом «-----\$». Внимание!!! Для устранения ошибок необходимо вернуться в .cir файл (команда меню Window > View Circuit File или кнопка «View Circuit File» на левой вертикальной панели инструментов. После исправления всех ошибок следует перезапустить расчёт. По окончании расчёта для просмотра результатов необходимо выбрать пункт меню View > Show Simulation Results. Добавление в конец .cir файла перед оператором .END оператора .PROBE позволит автоматически открывать окно просмотра результатов.

Для вывода графиков нужно, находясь в программе Probe, выбрать пункт меню Trace > Add Trace. Появится окно, в левой части которого будет находиться список всех возможных выходных переменных, из которых можно выбрать необходимые. Также можно ввести список выводимых графиков через пробел вручную в поле в нижней части окна.

## 6. ПРИМЕР ПРОЕКТИРОВАНИЯ СХЕМЫ

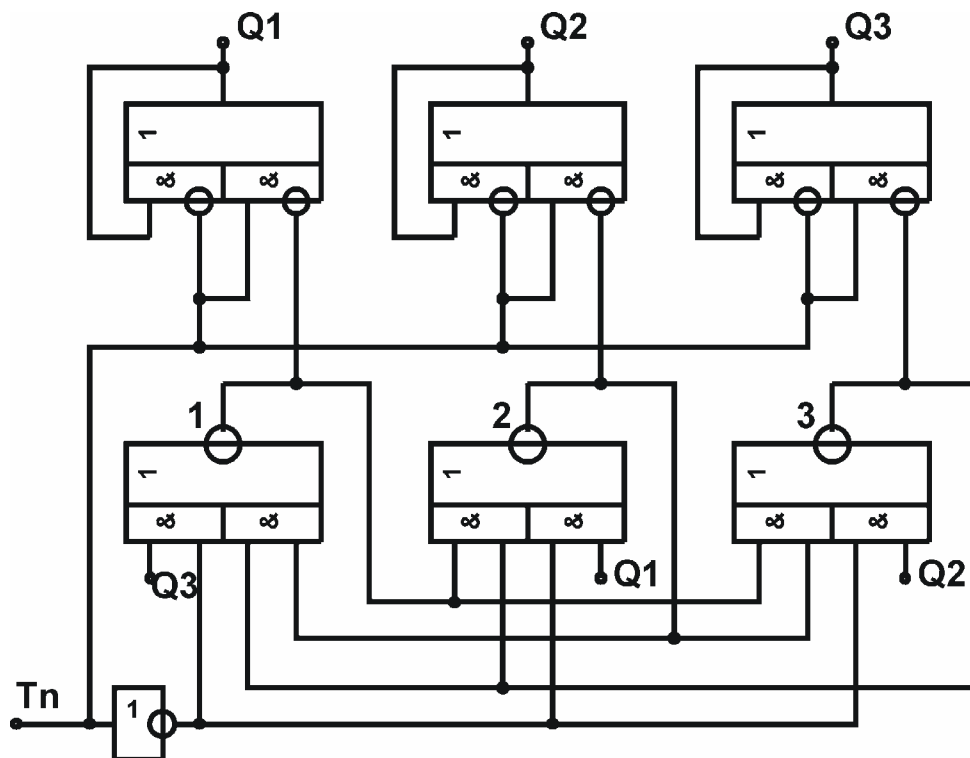


Рис. 2. Структурная схема (3-хканальный распределитель сигналов)

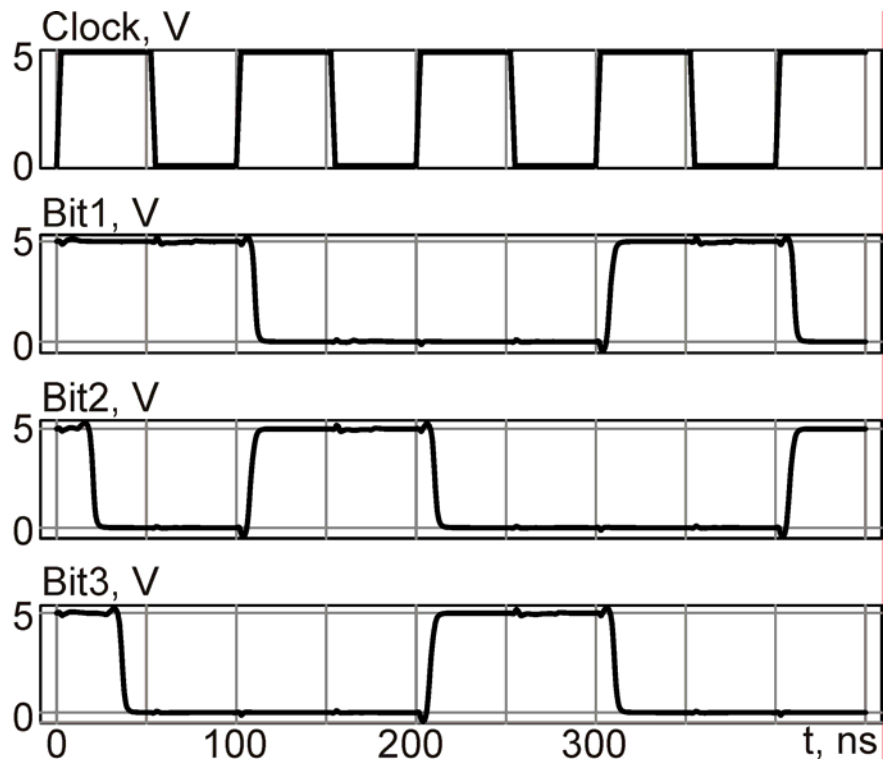


Рис. 3. Смоделированные характеристики

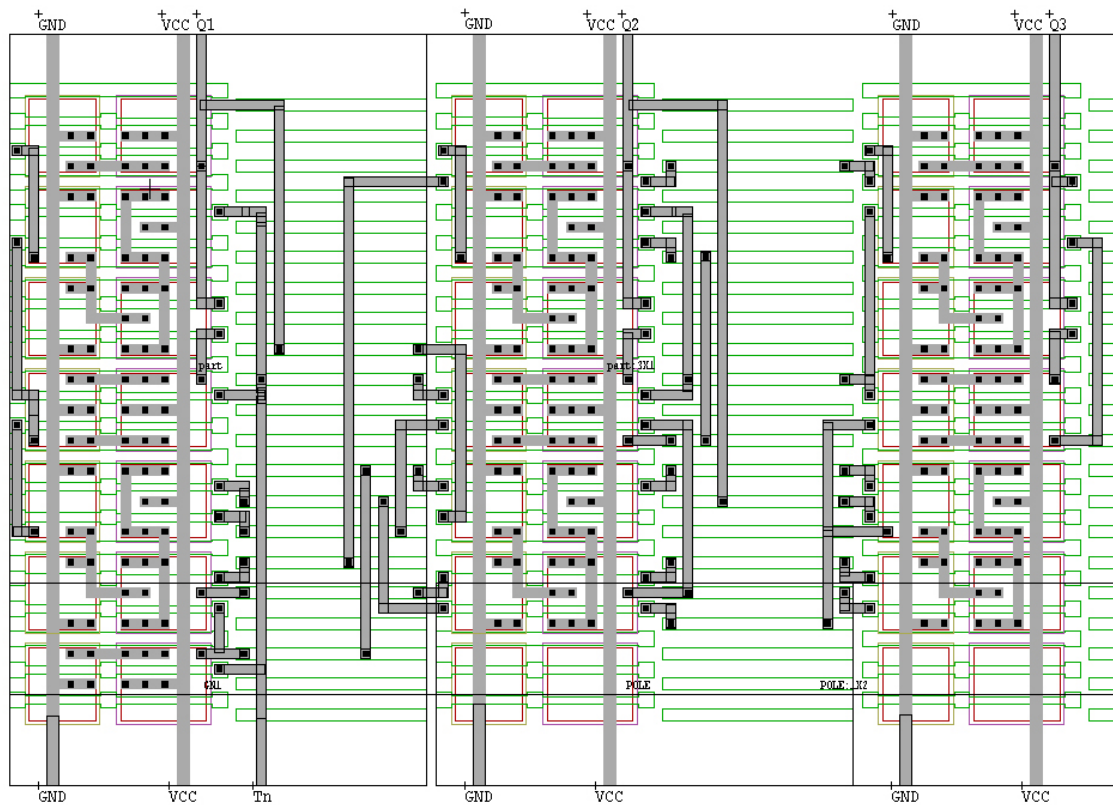


Рис. 4. Топология схемы (на фоне фрагмента БМК)

Учебное издание

ПРОЕКТИРОВАНИЕ ЛОГИЧЕСКОЙ СХЕМЫ НА ОСНОВЕ БМК  
«МЕЛИССА»

Составители: САМБУРСКИЙ Лев Михайлович  
ТОРГОВНИКОВ Ростислав Александрович

Редактор  
Технический редактор

Подписано в печать

Формат

Бумага

Печать

Усл. печ.

Уч.-изд.

Тираж

Заказ

Бесплатно

Изд.

Московский государственный институт электроники и математики  
109028 Москва, Б. Трёхсвятительский пер. 1-3/12 стр. 8.

Отдел оперативной полиграфии Московского государственного ин-  
ститута электроники и математики  
113054 Москва, ул. М. Пионерская, 12-18/4-6 стр. 1.